

04877374 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 07-169974 [JP 7169974 A]

PUBLISHED: July 04, 1995 (19950704)

INVENTOR(s): CHIYOU KOUYUU
KONUMA TOSHIMITSU
SUZUKI ATSUNORI
ONUMA HIDETO
YAMAGUCHI NAOAKI
SUZAWA HIDEOMI
UOJI HIDEKI
TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 06-253080 [JP 94253080]

FILED: September 19, 1994 (19940919)

INTL CLASS: [6] H01L-029/786; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To form a high-resistive impurity region (HRD or lightly doped
region) in a source/drain region in a self-aligned manner.

CONSTITUTION: A mask 106 is left on the upside of a gate electrode 105, and a first porous anodized film 107 is made to grow on the side face of the gate electrode 105 by a comparatively low voltage. A gate insulating film 104' is etched using this anodized film 107 as a mask. A second barrier-type anodized film 108 is formed on the side face and upside of the gate electrode 106 by a comparatively high voltage, if necessary. The first anodized film 107 is selectively etched. When an impurity doping process is carried out, a region under the gate electrode is not doped with impurities, and regions near the gate electrode 105 are turned into high-resistive regions 111 and 112 of low impurity concentration. Regions apart from the gate electrode 105 grow into low-resistive regions 110 and 113 of high impurity concentration.

(c) 2000 Derwent Info Ltd. All rts. reserv.

010223618 **Image available**

WPI Acc No: 95-124873/199517

XRAM Acc No: C95-056848

XRPX Acc No: N95-098811

TFT on glass substrate - with improved definition of high resistivity regions

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Inventor: KONUMA T; SUGAWARA A; UEHARA Y; OHNUMA H; SUZAWA H; SUZUKI A; TAKEMURA Y; UOCHI H; YAMAGUCHI N; ZHANG H

Number of Countries: 007 Number of Patents: 011

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 645802	A2	19950329	EP 94306862	A	19940920	H01L-021/316	199517 B
JP 7135213	A	19950523	JP 93284287	A	19931019	H01L-021/3205	199529
JP 7169974	A	19950704	JP 94253080	A	19940919	H01L-029/786	199535
JP 7169975	A	19950704	JP 94253081	A	19940919	H01L-029/786	199535
JP 7218932	A	19950818	JP 94253082	A	19940919	G02F-001/136	199542
TW 297142	A	19970201	TW 94108409	A	19940912	H01L-021/331	199720
CN 1109220	A	19950927	CN 94116346	A	19940920	H01L-029/78	199734
JP 9181329	A	19970711	JP 94253082	A	19940919	H01L-029/786	199738 N
			JP 96356830	A	19940919		
JP 10041250	A	19980213	JP 93284287	A	19931019	H01L-021/283	199817
			JP 97103537	A	19931019		
JP 10065181	A	19980306	JP 94253080	A	19940919	H01L-029/786	199820 N
			JP 97102690	A	19940919		
CN 1223465	A	19990721	CN 94116346	A	19940920	H01L-021/336	199947
			CN 98108911	A	19940920		

Priority Applications (No Type Date): JP 93284287 A 19931019; JP 93256563 A 19930920; JP 93256565 A 19930920; JP 93256567 A 19930920; JP 96356830 A 19940919; JP 97103537 A 19931019; JP 97102690 A 19940919

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
EP 645802	A2	E	27			

Designated States (Regional): DE FR GB NL

JP 7135213	A	7
JP 7169974	A	12
JP 7169975	A	12
JP 7218932	A	12

JP 9181329 A	11 Div ex	JP 94253082
JP 10041250 A	7 Div ex	JP 93284287
JP 10065181 A	12 Div ex	JP 94253080
CN 1223465 A	Div ex	CN 94116346

Abstract (Basic): EP 645802 A

Forming a semiconductor device comprises (a) forming a gate electrode of anodisable material on a gate insulating film; (b) forming a first anodic oxide film by applying an electric current in a first electrolyte; (c) forming a second anodic oxide film between the gate electrode and the first oxide by a second current application in a second electrolyte. The first oxide is more porous than the second.

(II) Also claimed is the method as (I) formed on a semiconductor film sandwiched between two insulating films with impurity implanted into the semiconductor through a thinned portion of the first oxide using the gate electrode as a mask (III) thus area may also be coated with metal and converted to silicide. In another method, masks are also deposited. Also claimed is a TFT manufactured using the method.

USE - Insulated gate FETs on glass.

ADVANTAGE - High resistivity regions can be defined more accurately and lower temperature processing does not affect the glass substrate.

Title Terms: TFT; GLASS; SUBSTRATE; IMPROVE; DEFINE; HIGH; RESISTOR; REGION

Derwent Class: E17; L03; M11; P81; U11; U12; U14

International Patent Class (Main): G02F-001/136; H01L-021/283; H01L-021/316
; H01L-021/3205; H01L-021/331; H01L-021/336; H01L-029/78; H01L-029/786

International Patent Class (Additional): G02F-001/1333; H01L-021/3213

File Segment: CPI; EPI; EngPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-169974

(43)公開日 平成7年(1995)7月4日

(51)Int.Cl. [*]	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/786 21/336		9056-4M 9056-4M 9056-4M	H 01 L 29/ 78	3 1 1 P 3 1 1 S 3 1 1 G
				審査請求 有 請求項の数13 FD (全 12 頁)

(21)出願番号	特願平6-253080	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日	平成6年(1994)9月19日	(72)発明者	張 宏勇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31)優先権主張番号	特願平5-256563	(72)発明者	小沼 利光 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32)優先日	平5(1993)9月20日	(72)発明者	鈴木 敦則 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33)優先権主張国	日本 (JP)		

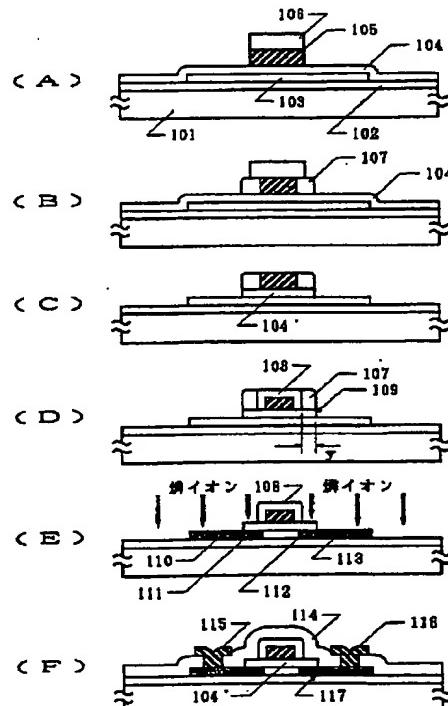
最終頁に続く

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】 (修正有)

【目的】 薄膜トランジスタにおいて、ソース／ドレイノ領域に高抵抗不純物領域 (H RD または低濃度不純物領域) を自己整合的に形成する方法を提供する。

【構成】 ゲート電極105上面にマスク106を残し、比較的低い電圧でポーラスな第1の陽極酸化膜107をゲート電極の側面に成長させる。この陽極酸化膜をマスクとしてゲート絶縁膜104'をエッチングする。必要に応じては比較的高い電圧でバリア型の第2の陽極酸化膜108をゲート電極の側面および上面に形成する。第1の陽極酸化膜を選択的にエッチングする。不純物ドーピングをおこなうと、ゲート電極の下部にはドーピングされず、ゲート電極に近い領域では、不純物濃度の低い高抵抗領域111, 112となる。ゲート電極から遠い領域では、不純物濃度の高い低抵抗領域110, 113となる。



【特許請求の範囲】

【請求項 1】 絶縁表面上に形成された薄膜トランジスタにおいて、
ゲート電極と、
ゲート電極の下に存在する真性または実質的に真性のチャネル形成領域と、
前記チャネル形成領域に隣接した 1 対の高抵抗不純物領域と、
前記低濃度領域の外側に設けられた 1 対の低抵抗不純物領域とを有し、かつ、
前記高抵抗不純物領域はゲート絶縁膜下に設けられ、かつ、
ゲート絶縁膜の端部は前記低抵抗不純物領域と高抵抗不純物領域との境界またはその近傍に存在することを特徴とする半導体装置。

【請求項 2】 請求項 1において、該低抵抗不純物領域は、実質的に金属珪化物によって構成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1において、該ゲート電極の側面および上面には該ゲート電極を酸化して得られた酸化物層が形成されていることを特徴とする半導体装置。

【請求項 4】 絶縁表面上に形成された薄膜トランジスタにおいて、
ゲート電極と、
ゲート電極の下に存在する実質的に真性のチャネル形成領域と、
前記チャネル形成領域に隣接した高抵抗不純物領域と、
前記低濃度領域の外側に設けられた低抵抗不純物領域とを有し、かつ、
前記低抵抗不純物領域はゲート絶縁膜のない領域に設けられ、かつ、該低抵抗不純物領域はシリサイドにより構成されていることを特徴とする半導体装置。

【請求項 5】 請求項 4において、シリサイドはチタンまたはニッケルを含むことを特徴とする半導体装置。

【請求項 6】 絶縁表面上に活性層を、前記活性層上に第 1 の絶縁膜を、前記絶縁膜上にゲート電極材料の被膜をそれぞれ形成する第 1 の工程と、
前記ゲート電極材料上に選択的にマスク膜を設け、該マスク膜を用いて、前記ゲート電極材料をエッチングし、
ゲート電極を形成する第 2 の工程と、
前記ゲート電極に電解溶液中で電流を印加することによって、主として該ゲート電極の側面に第 1 の陽極酸化物層を形成する第 3 の工程と前記第 1 の陽極酸化物層をマスクとして、前記第 1 の絶縁膜をエッチングし、薄くする、もしくは除去することによってゲート絶縁膜とする第 4 の工程と、

前記第 1 の陽極酸化物層を選択的に除去する第 5 の工程と、
前記ゲート電極およびゲート絶縁膜をマスクとして、前記活性層に選択的に N 型もしくは P 型の不純物元素を導入する第 6 の工程とを有することを特徴とする半導体裝

置の作製方法。

【請求項 7】 絶縁表面上に活性層を、前記活性層上に第 1 の絶縁膜を、前記絶縁膜上にゲート電極材料の被膜をそれぞれ形成する第 1 の工程と、
前記ゲート電極材料上に選択的にマスク膜を設け、該マスク膜を用いて、前記ゲート電極材料をエッチングし、
ゲート電極を形成する第 2 の工程と、
前記ゲート電極に電解溶液中で電流を印加することによって、主として該ゲート電極の側面に第 1 の陽極酸化物層を形成する第 3 の工程と前記第 1 の陽極酸化物層をマスクとして、前記第 1 の絶縁膜をエッチング・除去することによって活性層の表面を露出せしめ、ゲート絶縁膜とする第 4 の工程と、

前記第 1 の陽極酸化物層を選択的に除去する第 5 の工程と、

全面に金属珪化物を形成するための金属被膜を密着させ、活性層と選択的に反応させることによって、活性層中に選択的に金属珪化物領域を形成する第 6 の工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 6 または 7 において、第 4 の工程と第 5 の工程の間に、ゲート電極を陽極酸化することによってバリヤ型の第 2 の陽極酸化物を形成することを特徴とする半導体装置の作製方法。

【請求項 9】 請求項 6 において、第 6 の工程の後、レーザーもしくは同等な強光を照射することによって不純物の活性化をおこなうことを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 7 において、第 6 の工程において、前記活性層と前記金属被膜の反応は、レーザーもしくは同等な強光を照射することによっておこなうことを特徴とする半導体装置の作製方法。

【請求項 11】 請求項 7 において、第 6 の工程の後、P 型もしくは N 型の不純物元素を導入することにより、高抵抗不純物領域と低抵抗不純物領域とを形成する工程と、該工程の後、高抵抗不純物領域上のゲート絶縁膜を除去する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 12】 請求項 6 または 7 において、第 1 の陽極酸化物層は $pH = 2$ を越えない酸性の電解溶液中で電流を印加することによって得られることを特徴とする半導体装置の作製方法。

【請求項 13】 請求項 8 において、バリヤ型の第 2 の陽極酸化物層は $pH = 3$ 以上の電解溶液中で電流を印加することによって得られることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ガラス等の絶縁材料、あるいは珪素ウェハー上に酸化珪素等の絶縁被膜を形成した材料等の絶縁表面上に形成される絶縁ゲート型トラ

ンジスタ（TFT）およびその作製方法に関する。本発明は、特にガラス転移点（歪み温度、歪み点とも言う）が750°C以下のガラス基板上に形成されるTFTに有効である。本発明による半導体装置は、液晶ディスプレー等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいは3次元集積回路に使用されるものである。

【0002】

【従来の技術】従来より、アクティブマトリクス型の液晶表示装置やイメージセンサー等の駆動の目的で、TFT（薄膜トランジスタ）を形成することが広く知られている。特に、最近は、高速動作の必要から、非晶質珪素を活性層に用いた非晶質珪素TFTにかわって、より電界移動度の高い結晶珪素TFTが開発されている。しかしながら、より高度な特性と高い耐久性が必要とされるようになると、半導体集積回路技術で利用されるような高抵抗不純物領域（高抵抗ドレイン（HRD）もしくは低濃度ドレイン（LDD））を有することが必要とされた。しかしながら、公知の半導体集積回路技術とは異なって、TFTには解決すべき問題が多くあった。特に、素子が絶縁表面上に形成され、反応性イオン異方性エッチャングが十分できないため、微細なパターンができないという大きな制約があった。

【0003】図6には、今まで用いられているHRDを作製する代表的なプロセスの断面図を示す。まず、基板601上に下地膜602を形成し、活性層を結晶珪素603によって形成する。そして、この活性層上に酸化珪素等の材料によって絶縁被膜604を形成する。（図6（A））

【0004】次に、ゲート電極605が多結晶珪素（鱗等の不純物がンドーピングされている）やタンタル、チタン、アルミニウム等で形成される。さらに、このゲート電極をマスクとして、イオンドーピング等の手段によって不純物元素（リンやホウ素）を導入し、自己整合的にドーピング量の少ない高抵抗な不純物領域（HRD）606、607が活性層603に形成される。不純物が導入されなかつたゲート電極の下の活性層領域はチャネル形成領域となる。そして、レーザーもしくはフラッシュランプ等の熱源によって、ドーピングされた不純物の活性化がおこなわれる。（図6（B））

【0005】次に、プラズマCVD、APCVD等の手段によって酸化珪素等の絶縁膜608を形成（図6（C））し、これを異方性エッチャングすることによって、ゲート電極の側面に隣接して側壁609を形成する。（図6（D））

そして、再び、イオンドーピング等の手段によって不純物元素を導入し、ゲート電極605および側壁609をマスクとして自己整合的に十分な高濃度の不純物領域（低抵抗不純物領域、ソース／ドレイン領域）610、611が活性層603に形成される。そして、レーザー

もしくはフラッシュランプ等の熱源によって、ドーピングされた不純物の活性化がおこなわれる。（図6（E））

【0006】最後に、層間絶縁物612を形成し、さらに、層間絶縁物を通して、ソース／ドレイン領域にコンタクトホールを形成し、アルミニウム等の金属材料によって、ソース／ドレインに接続する配線・電極613、614を形成する。（図6（F））

【0007】

【発明が解決しようとする課題】以上的方法は従来の半導体集積回路におけるLDD作製プロセスをそのまま踏襲したものであって、ガラス基板上のTFT作製プロセスにはそのまま適用することの困難な工程や、あるいは生産性の面で好ましくない工程がある。

【0008】第1にはレーザー等の照射による不純物の活性化が2度必要な点である。このため生産性が低下する。従来の半導体集積回路においては不純物元素の活性化は熱アニールによっておこなわれていた。そのため、不純物の活性化は不純物導入が全て終了してからまとめておこなわれた。

【0009】しかしながら、特にガラス基板上のTFTにおいては、基板の温度制約から熱アニールをおこなうことは難しく、いきおい、レーザーアニール、フラッシュランプアニール（RTAあるいは RTP）に頼らざるをえない。しかしながら、これらの手法は被照射面が選択的にアニールされるため、例えば、側壁609の下の部分はアニールされない。したがって、不純物ドーピングの度にアニールが必要となる。

【0010】第2は側壁の形成の困難さである。絶縁膜608の厚さは0.5～2μmもある。通常、基板上に設けられる下地膜602の厚さは1000～3000Åであるので、このエッチャング工程において誤って、下地膜をエッチャングしてしまって、基板が露出することがよくあり、歩留りが低下した。TFTの作製に用いられる基板は珪素半導体にとって有害な元素が多く含まれているので、このような不良は極力、避けることが必要とされた。また、側壁の幅を均一に仕上げることも難しいことであった。これは反応性イオンエッチャング（RIE）等のプラズマドライエッチャングの際に、半導体集積回路で用いられる珪素基板とは異なって、基板表面が絶縁性であるためにプラズマの微妙な制御が困難であったからである。

【0011】高抵抗不純物領域のドレインは高抵抗のため、その幅を可能な限り狭くする必要があるが、上記のばらつきによって量産化が困難であり、この自己整合的（すなわち、フォリソグラフィー法を用いることなく位置を決める）プロセスをいかに制御しやすくおこなうかが課題であった。また、従来の方法ではドーピングが最低、2回必要とされたが、このドーピング回数を減らすことでもまた、解決すべき課題であった。

【0012】本発明は、上記のような問題を解決し、よりプロセスを簡略化して、高抵抗不純物領域を形成する方法およびそのようにして形成された高抵抗不純物領域（高抵抗ドレイン、HRD）を有するTFTに関する。ここで、高抵抗ドレイン（HRD）という言い方をするのは、低不純物濃度にして高抵抗化したドレインに加えて、不純物濃度は比較的高いものの、炭素、酸素、窒素等を添加して不純物の活性化を妨げて、結果として高抵抗化したドレインのことも含む。

【0013】

【課題を解決するための手段】高抵抗領域を形成するうえで、本発明ではゲート電極の陽極酸化等の手段によって形成された酸化物層を積極的に用いることを特徴とする。特に陽極酸化物はその厚さの制御が精密におこなえ、また、その厚さも1000Å以下の中の薄いものから5000Å以上の厚いものまで幅広く、しかも均一に形成できるという特徴を有しているため、従来の異方性エッチングによる側壁に代替する材料として好ましい。

【0014】特に、いわゆるバリヤ型の陽極酸化物はフッ酸系のエッチャントでなければエッチングされないので対し、多孔質型の陽極酸化物は燐酸等のエッチャントによって選択的にエッチングされる。このため、TFTを構成する他の材料、例えば、珪素、酸化珪素には何らダメージ（損傷）を与えることなく、処理することができるのが特徴である。また、バリヤ型、多孔質型とも陽極酸化物はドライエッチングでは極めてエッチングされにくい。特に、酸化珪素とのエッチングにおいては選択比が十分に大きいことも特徴である。本発明は、以下のような作製工程によってTFT作製することを特徴とし、この工程を採用することによって、より一層、確実にHRDを構成し、また、量産性を向上させることができる。

【0015】図1は本発明の基本的な工程を示している。まず、基板101上に下地絶縁膜102を形成し、さらに活性層103を結晶性半導体（本発明では単結晶、多結晶、セミアモルファス等、結晶が少しでも混在している半導体を結晶性半導体という）によって形成する。そして、これを覆って酸化珪素等の材料によって絶縁膜104を形成し、さらに陽極酸化可能な材料によって被膜を形成する。この被膜の材料としては、陽極酸化の可能なアルミニウム、タンタル、チタン、珪素等が好ましい。本発明では、これらの材料を単独で使用した単層構造のゲート電極を用いてもよいし、これらを2層以上重ねた多層構造のゲート電極としてもよい。例えば、アルミニウム上に珪化チタンを重ねた2層構造や窒化チタン上にアルミニウムを重ねた2層構造である。各々の層の厚さは必要とされる素子特性に応じて実施者が決定すればよい。

【0016】さらにその被膜を覆って、陽極酸化においてマスクとなる膜を形成し、この両者を同時にパターニ

ング、エッチングして、ゲート電極105とその上のマスク膜106を形成する。このマスク膜の材料としては通常のフォトリソグラフィー工程で用いられるフォトレジスト、あるいは感光性ポリイミド、もしくは通常のポリイミドでエッチングの可能なものを使用すればよい。

(図1 (A))

【0017】次に、ゲート電極105に電解溶液中で電流を印加することによってゲート電極の側面に多孔質の陽極酸化物107を形成する。この陽極酸化工程は、3～20%のクエン酸もしくはシュウ酸、燐酸、クロム酸、硫酸等の酸性の水溶液を用いておこなう。溶液の水素イオン濃度pHは2未満であることが望ましい。最適なpHは電解溶液の種類に依存するが、シュウ酸の場合には0.9～1.0である。この場合には、10～30V程度の低電圧で0.5μm以上の厚い陽極酸化物を形成することができる。（図1 (B)）

【0018】そして、ドライエッチング法、ウェットエッチング法等によって絶縁膜104をエッチングする。このエッチング深さは任意であり、下に存在する活性層が露出するまでエッチングをおこなっても、その途中でとめてもよい。しかし、量産性・歩留り・均一性の観点からは、活性層に至るまでエッチングすることが望ましい。この際には陽極酸化物107およびゲート電極105に覆われた領域の下側の絶縁膜（ゲート絶縁膜）にはもとの厚さの絶縁膜が残される。なお、ゲート電極がアルミニウム、タンタル、チタンを主成分とし、一方、絶縁膜104が酸化珪素を主成分とする場合において、ドライエッチング法を用いる場合には、フッ素系（例えばNF₃、SF₆）のエッチャントガスを用いて、ドライエッチングをおこなえば、酸化珪素である絶縁膜104は素早くエッチングされるが、酸化アルミニウム、酸化タンタル、酸化チタンのエッチングレートは十分に小さいので絶縁膜104を選択的にエッチングできる。

【0019】また、ウェットエッチングにおいては、1/100フッ酸等のフッ酸系のエッチャントを用いればよい。この場合にも酸化珪素である絶縁膜104は素早くエッチングされるが、酸化アルミニウム、酸化タンタル、酸化チタンのエッチングレートは十分に小さいので絶縁膜104を選択的にエッチングできる。（図1 (C)）

【0020】その後、陽極酸化物107を除去する。エッチャントとしては、燐酸系の溶液、例えば、燐酸、酢酸、硝酸の混酸等が好ましい。しかし、單に、例えばゲート電極がアルミニウムの場合には燐酸系のエッチャントを用いると、同時にゲート電極もエッチングされてしまう。そこで、本発明においては、その前の工程でゲート電極に3～10%の酒石液、硼酸、硝酸が含まれたエチレングルコール溶液中で、電流を印加することによって、ゲート電極の側面および上面にバリヤ型の陽極酸化物108を設けておくと良い。この陽極酸化工程において

ては、電解溶液のpHは2以上、好ましくは3以上、さらに好ましくは6.9~7.1とするとよい。このような溶液を得るにはアンモニア等のアルカリ溶液を用いて中和させると良い。このようにして得られる陽極酸化物の厚さはゲート電極105と対向の電極との間に印加される電圧の大きさによって決定される。

【0021】注目すべきは、バリヤ型の陽極酸化が後の工程であるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、バリヤ型の陽極酸化物108は多孔質陽極酸化物107とゲート電極105の間に形成されることである。上記の磷酸系のエッチャントにおいては、多孔質陽極酸化物のエッチングレートはバリヤ型陽極酸化物のエッチングレートの10倍以上である。したがって、バリヤ型の陽極酸化物108は、磷酸系のエッチャントでは実質的にエッティングされないので、内側のゲート電極を守ることができる。(図1(D)、(E))

【0022】以上の工程によって、ゲート電極の下側に選択的に絶縁膜104の一部(以下、これをゲート絶縁膜と称することにする)が残存した構造を得ることができる。そして、このゲート絶縁膜104'は、もともと多孔質陽極酸化物107の下側に存在していたので、ゲート電極105、バリヤ型陽極酸化物108の下側のみならず、バリヤ型陽極酸化物108からyの距離だけ離れた位置にまで存在し、その幅yは自己整合的に決定されることが特徴である。換言すれば、活性層103におけるゲート電極下のチャネル形成領域の外側にはゲート絶縁膜104'の存在する領域と、存在しない領域とが自己整合的に形成されるのである。

【0023】この構造で加速したN型もしくはP型の不純物のイオンを活性層に注入すると、絶縁膜104が存在しない(もしくは薄い)領域には多くのイオンが注入され、(相対的に)高濃度の不純物領域(低抵抗不純物領域)110、113が形成される。一方、ゲート絶縁膜104'が存在する領域では、このゲート絶縁膜中にイオンが注入され、それを透過したイオンのみが半導体に注入されるため、そのイオン注入量は相対的に減少して、低濃度の不純物領域(高抵抗不純物領域)111、112が形成される。低濃度の不純物領域111、112と高濃度の不純物領域110、113との不純物濃度の違いは、絶縁膜104の厚さ等によって異なるが、通常、0.5~3桁、前者の方が小さい。また、ゲート電極の下の領域には実質的には不純物が注入されず、真性または実質的に真性な状態が保たれ、すなわちチャネル形成領域となる。不純物注入後にはレーザーもしくはそれと同等な強光を照射することによって不純物の活性化をおこなえばよいが、この工程は、いうまでもなく実質的に1回で十分である。(図1(E))

【0024】

【作用】このように、本発明では高抵抗不純物領域の幅

を陽極酸化物107の厚さyによって自己整合的に制御することに特徴がある。そして、さらにゲート絶縁膜104'の端部109と高抵抗領域(HRD)112の端部117を概略一致させることができる。図6に示した従来の方法ではこのような役割を果たす側壁の幅の制御は極めて困難であったが、本発明においては、陽極酸化物107の幅は、陽極酸化電流(電荷量)によって決定されるため、極めて微妙な制御が可能である。

【0025】さらに、上記の工程からも明らかなように、不純物ドーピングの工程が実質的に1回であっても、低抵抗領域、高抵抗領域を形成でき、さらに、その後の活性化の工程も1回の処理で済む。このように本発明では、ドーピング、活性化の工程を減らすことにより量産性を高めることができる。従来から、HRDは抵抗が大きいため、電極とオーム接触させることが難しいこと、および、この抵抗のためドレン電圧の低下をきたすことが問題となっていた。しかし、他方、HRDの存在により、ホットキャリヤの発生を抑止でき、高い信頼性を得ることができるというメリットも併せ持っていた。本発明はこの矛盾する課題を一挙に解決し、自己整合的に形成される0.1~1μm幅のHRDと、ソース/ドレン電極に対してオーム接觸を得ることができる。

【0026】また、本発明においては図1の陽極酸化物108の厚さを適切に利用することによって、ゲート電極の端部と不純物領域の位置関係を任意に変更できる。この例を図4に示す。例えば、イオンドーピング法(プラズマドーピングともいう)のようにイオンが実質的に質量分離されないまま注入される方法では、イオンの進入角度がまちまちであるので、不純物の横方向への広がりもかなりあり、すなわち、イオンの進入付加程度の横方向への広がりが見込まれる。以下の例では活性層404の厚さを800Åとする。

【0027】したがって、図4(A)に示すように、金属のゲート電極401の外側に陽極酸化物402(図1、108に対応)の厚さ(例えば800Å)が活性層404と同程度の厚さであれば、ほとんどゲート電極401の端部405と高抵抗不純物領域407の端部406が重なりもせず、離れもしない一致状態となる。図4(B)のように陽極酸化物402の厚さが、例えば3000Åと活性層の厚さ800Åより大きな場合には、ゲート電極の端部405と高抵抗不純物領域の端部406が離れたオフセット状態となる。逆に図4(C)のように陽極酸化物402の厚さが小さくなれば、ゲート電極と高抵抗不純物領域が重なりあうオーバーラップの状態となる。このオーバーラップは、図4(D)のようにゲート電極401の周囲に陽極酸化物が存在しない状態で最大となる。

【0028】一般にオフセット状態では、逆方向リーク電流が低下し、オン/オフ比が向上するという特徴を有

し、例えば、アクティブマトリクス液晶ディスプレーの画素の制御に用いられるTFT（画素TFT）のように、リーク電流の少ないことが必要とされる用途に適している。しかしながら、HRDの端部で発生したホットキャリヤが陽極酸化物にトラップされることによって、劣化するという欠点も合わせ持つ。

【0029】オーバーラップ状態のものでは上記のようなホットキャリヤのトラップによる劣化は減少し、また、オン電流が増加するが、リーク電流が増加するという欠点がある。このため、大きな電流駆動能力の要求される用途、例えば、モノリシック型アクティブマトリクスの周辺回路にもちいられるTFT（ドライバーTFT）に適している。実際に使用するTFTを図4（A）～（D）のいずれのものとするかは、TFTの用途によって決定されればよい。

【0030】

【実施例】【実施例1】図1に本実施例を示す。まず、基板（コーニング7059、300mm×400mmもしくは100mm×100mm）101上に下地酸化膜102として厚さ1000～3000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中のスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を用いてもよい。

【0031】その後、プラズマCVD法やLPCVD法によって非晶質珪素膜を300～5000Å、好ましくは500～1000Å堆積し、これを、550～600°Cの還元雰囲気に24時間放置して、結晶化せしめた。この工程は、レーザー照射によっておこなってもよい。そして、このようにして結晶化させた珪素膜をバーナーニングして島状領域103を形成した。さらに、この上にスパッタ法によって厚さ700～1500Åの酸化珪素膜104を形成した。

【0032】その後、厚さ1000Å～3μmのアルミニウム（1wt%のSi、もしくは0.1～0.3wt%のSc（スカンジウム）を含む）膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトレジスト（例えば、東京応化製、OFPR800/30cp）をスピンドル法によって形成した。フォトレジストの形成前に、陽極酸化法によって厚さ100～1000Åの酸化アルミニウム膜を表面に形成しておくと、フォトレジストとの密着性が良く、また、フォトレジストからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトレジストとアルミニウム膜をバーナーニングして、アルミニウム膜と一緒にエッチングし、ゲート電極105マスク膜106とした。（図1（A））

【0033】さらにこれに電解液中で電流を通じて陽極酸化し、厚さ3000～6000Å、例えば、厚さ50

00Åの陽極酸化物107を形成した。陽極酸化は、3～20%のクエン酸もしくはショウ酸、磷酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10～30Vの一定電流をゲート電極に印加すればよい。本実施例ではpH=0.9～1.0のショウ酸溶液（30°C）中で電圧を10Vとし、20～40分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御した。（図1（B））

【0034】その後、ドライエッティング法によって酸化珪素膜104をエッティングした。このエッティングにおいては、等方性エッティングのプラズマモードでも、あるいは異方性エッティングの反応性イオンエッティングモードでもよい。ただし、珪素と酸化珪素の選択比を十分に大きくすることによって、活性層を深くエッティングしないようにすることが重要である。例えば、エッティングガスとしてCF₄を使用すれば陽極酸化物はエッティングされず、酸化珪素膜104のみがエッティングされる。また、多孔質陽極酸化物107の下の酸化珪素膜104'はエッティングされずに残った。（図1（C））

【0035】次に、再び電解溶液中において、ゲート電極に電流を印加した。今回は、3～10%の酒石液、硼酸、硝酸が含まれたpH=6.9～7.1のエチレングルコールアンモニア溶液を用いた。溶液の温度は10°C前後の室温より低い方が良好な酸化膜が得られた。このため、ゲート電極の上面および側面にバリヤ型の陽極酸化物108が形成された。陽極酸化物108の厚さは印加電圧に比例し、印加電圧が150Vで2000Åの陽極酸化物が形成された。陽極酸化物108の厚さは図4に示されるような必要とされるオフセット、オーバーラップの大きさによって決定したが、3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧が必要であり、TFTの特性に悪影響を及ぼすので3000Å以下の厚さとすることが好ましい。本実施例では80～150Vまで上昇させ、必要とする陽極酸化膜108の厚さによって電圧を選択した。（図1（D））

【0036】その後、磷酸、酢酸、硝酸の混酸を用いて陽極酸化物107をエッティングした。このエッティングでは陽極酸化物107のみがエッティングされ、エッティングレートは約600Å/分であった。その下のゲート絶縁膜104'はそのまま残存した。そして、イオンドーピング法によって、TFTの活性層103に、ゲート電極部（すなわちゲート電極とその周囲の陽極酸化膜）およびゲート絶縁膜をマスクとして自己整合的に不純物を注入し、低抵抗不純物領域（ソース/ドレイン領域）110、111、高抵抗不純物領域111、112を形成した。ドーピングガスとしてはフォスフィン（PH₃）を用いたため、N型の不純物領域となった。P型の不純物領域を形成するにはジボラン（B₂H₆）をドーピングガスとして用いればよい。ドーズ量は5×10¹⁴～5×10¹⁵c m⁻²、加速エネルギーは10～30keVとし

た。その後、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、活性層中に導入された不純物イオンの活性化をおこなった。

【0037】SIMS（二次イオン質量分析法）の結果によると、領域110、113の不純物濃度は $1 \times 10^{20} \sim 2 \times 10^{21} \text{ cm}^{-3}$ 、領域111、112では $1 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ であった。ドーズ量換算では、前者は $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、後者は $2 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ であった。この違いはゲート絶縁膜104'の有無によってもたらされたのであって、一般的には、低抵抗不順部鶴領域の不純物濃度は、高抵抗不純物領域のものより0.5~3桁大きくなる。（図1(E)）

【0038】最後に、全面に層間絶縁物114として、CVD法によって酸化珪素膜を厚さ3000Å形成した。TFTのソース／ドレインにコンタクトホールを形成し、アルミニウム配線・電極115、116を形成した。さらに200~400°Cで水素アニールをおこなった。以上によって、TFTが完成された。（図1(F)）

【0039】図1に示した手法を用いて、1枚の基板上に複数のTFTを形成した例を図5(A)に示す。この例ではTFTはTFT1~3の3つを形成した。TFT1および2はドライバ-TFTとして用いられるもので、図1の陽極酸化物108に相当する酸化物501、502の厚さを200~1000Å、例えば500Åの薄いものとし、若干、ゲート電極と高抵抗領域(HRD)がオーバーラップとなるようにした。図では、TFT1のドレインとTFT2のソースとを互いに接続し、また、TFT1のソースを接地し、TFT2のドレインを電源に接続して、CMOSインバータとなるように構成した例を示す。周辺回路としては、この他にもさまざまな回路があるが、それぞれの仕様にしたがって、このようなCMOS型の回路とすればよい。

【0040】一方、TFT3は画素TFTとして用いられるものであり、陽極酸化物503を2000Åと厚くして、オフセット状態（図4(B)に対応）とし、リード電流を抑制した。TFT3のソース／ドレイン電極の一方はITOの画素電極501に接続されている。このように陽極酸化物の厚さを変えるには、それぞれのTFTのゲート電極の電圧を独立に制御できるように分離しておけばよい。なお、TFT1およびTFT3はNチャネル型TFT、TFT2はPチャネル型TFTである。

【0041】【実施例2】図2に本実施例を示す。まず、絶縁表面を有する基板（例えばコーニング7059）201上に実施例1の(A)~(C)の工程を用いて、下地酸化膜202、島状性珪素半導体領域（例えば結晶性珪素半導体）203、ゲート絶縁膜204、アルミニウム膜（厚さ2000Å~1μm）によるゲート電極205とゲート電極の側面に多孔質の陽極酸化物（厚

さ3000Å~1μm、例えば5000Å）206を形成した。（図2(A)）

そして、実施例1と同様にバリヤ型の厚さ1000~2500Åの陽極酸化物207を形成した。（図2(B)）

【0042】さらにこのバリヤ型陽極酸化膜207をマスクとして、多孔質陽極酸化膜206をエッティング除去した。その後、ゲート電極部（205、207）およびゲート絶縁膜204をマスクとしてイオンドーピング法によって不純物注入をおこない、低抵抗不純物領域208、211、高抵抗不純物領域209、210を形成した。ドーズ量は $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、加速電圧は30~90kVとした。不純物としては燐を用いた。（図2(C)）

【0043】さらに、全面に適当な金属、例えば、チタン、ニッケル、モリブデン、タンクステン、白金、パラジウム等の被膜、例えば、厚さ50~500Åのチタン膜212をスパッタ法によって全面に形成した。この結果、金属膜（ここではチタン膜）212は低抵抗不純物領域208、211に密着して形成された。（図2(D)）

【0044】そして、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、ドーピングされた不純物の活性化とともに、金属膜（ここではチタン）と活性層の珪素を反応させ、金属珪化物（ここでは珪化チタン）の領域213、214を形成した。レーザーのエネルギー密度は200~400mJ/cm²、好ましくは250~300mJ/cm²が適当であった。また、レーザー照射時には基板を200~500°Cに加熱しておくと、チタン膜の剥離を抑制することはできた。

【0045】なお、本実施例では上記の如く、エキシマーレーザーを用いたが、他のレーザーを用いてもよいことはいうまでもない。ただし、レーザーを用いるにあたってはパルス状のレーザーが好ましい。連続発振レーザーでは照射時間が長いので、熱によって被照射物が熱によって膨張することによって剥離する危険がある。

【0046】パルスレーザーに関しては、Nd:YAGレーザー（Qスイッチパルス発振が望ましい）のごとき赤外光レーザーやその第2高調波のごとき可視光、KrF、XeCl、ArF等のエキシマーを使用する各種紫外外光レーザーが使用できるが、金属膜の上面からレーザー照射をおこなう場合には金属膜に反射されないような波長のレーザーを選択する必要がある。もっとも、金属膜が極めて薄い場合にはほとんど問題がない。また、レーザー光は、基板側から照射してもよい。この場合には下に存在するシリコン半導体膜を透過するレーザー光を選択する必要がある。

【0047】また、アニールは、可視光線もしくは近赤

外光の照射によるランプアニールによるものでもよい。ランプアニールを行う場合には、被照射面表面が600～1000°C程度になるように、600°Cの場合は数分間、1000°Cの場合は数10秒間のランプ照射を行うようとする。近赤外線（例えば1.2 μmの赤外線）によるアニールは、近赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射時間を短くすることで、ガラス基板に対する加熱を抑えることができ、極めて有用である。

【0048】この後、過酸化水素とアンモニアと水とを5：2：2で混合したエッティング液でTi膜のエッティングした。露出した活性層と接触した部分以外のチタン膜（例えば、ゲート絶縁膜204や陽極酸化膜207上に存在したチタン膜）はそのまま金属状態で残っているが、このエッティングで除去できる。一方、金属珪化物である珪化チタン213、214はエッティングされないので、残存させることができる。（図2（E））

【0049】最後に、図2（F）に示すように、全面に層間絶縁物217として、CVD法によって酸化珪素膜を厚さ2000Å～1μm、例えば、3000Å形成し、TFTのソース／ドレインにコンタクトホールを形成し、アルミニウム配線・電極218、219を2000Å～1μm、例えば5000Åの厚さに形成した。本実施例においてはアルミニウム配線がコンタクトする部分は珪化チタンであり、アルミニウムとの界面の安定性が珪素の場合よりも良好であるので、信頼性の高いコンタクトが得られた。また、このアルミニウム電極218、219と珪化物領域213、214の間にバリヤメタルとして、例えば窒化チタンを形成するとより一層、信頼性を向上させることができる。本実施例では、珪化物領域のシート抵抗は10～50Ω/□となった。一方、高抵抗不純物領域209、210では10～100kΩ/□となり、この結果、周波数特性が良く、かつ、高いドレン電圧でもホットキャリヤ劣化の少ないTFTを作製することができた。

【0050】本実施例では、低抵抗不純物領域211と金属珪化物領域とを概略一致させるこができた。特にゲート絶縁膜204の端部215と高抵抗不純物領域210と低抵抗不純物領域211の境界216を概略一致せしめ、同時にこの端部215と金属珪化物領域214の端部とを概略一致せしめた結果、図4（A）～（D）における低抵抗不純物領域を金属珪化物領域として置き換えればよいことは明らかであろう。

【0051】図2に示した手法を用いて、1枚の基板上に複数のTFTを形成した例を図5（B）に示す。この例ではTFTはTFT1～3の3つを形成した。TFT1および2はドライバーティアとしてCMOS化した構成、ここではインバータ構成として用いたもので、図2の陽極酸化物207に相当する酸化物505、506の厚さを200～1000Å、例えば500Åの薄いもの

とし、若干、オーバーラップとなるようにした。一方、TFT3は画素TFTとして用いられるものであり、陽極酸化物503を2000Åと厚くして、オフセット状態とし、リーク電流を抑制した。TFT3のソース／ドレイン電極の一方はITOの画素電極502に接続されている。このように陽極酸化物の厚さを変えるには、それぞれのTFTのゲート電極の電圧を独立に制御できるように分離しておけばよい。なお、TFT1およびTFT3はNチャネル型TFT、TFT2はPチャネル型TFTである。

【0052】本実施例ではイオンドーピングの工程の後にチタン膜成膜の工程を配したが、この順番を逆にしてもよい。この場合には、イオン照射の際にチタン膜が全面を被覆しているので、絶縁基板で問題となった異状帶電（チャージアップ）防止の上で効果が大である。また、イオンドーピング後にレーザー等によってアニールしてから、チタン膜を形成して、レーザー等の照射、あるいは熱アニールによって、珪化チタンを形成してもよい。

【0053】〔実施例3〕 図3に本実施例を示す。まず、基板（コーニング7059）301上に実施例1の（A）～（C）の工程を用いて、下地酸化膜302、島状結晶性半導体領域、例えば珪素半導体領域303、ゲート絶縁膜304、アルミニウム膜（厚さ2000Å～1μm）によるゲート電極305とゲート電極の側面に多孔質の陽極酸化物（厚さ6000Å）306を形成した。（図3（A））

そして、実施例1と同様にバリヤ型の厚さ1000～2500Åの陽極酸化物307を形成した。（図3（B））

【0054】さらに、多孔質陽極酸化物306を選択的にエッティングして、ゲート絶縁膜304の一部を露出せしめた。その後、全面に適当な金属、例えば、厚さ50～500Åのチタン膜308をスパッタ法によって全面に形成した。（図3（C））

そして、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、チタンと活性層の珪素を反応させ、珪化チタン領域309、310を形成した。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。また、レーザー照射時には基板を200～500°Cに加熱しておくと、チタン膜の剥離を抑制することはできた。この工程は、可視光線もしくは近赤外光の照射によるランプアニールによるものでもよい。

【0055】この後、過酸化水素とアンモニアと水とを5：2：2で混合したエッティング液でTi膜のエッティングした。露出した活性層と接触した部分以外のチタン膜（例えば、ゲート絶縁膜304や陽極酸化膜307上に存在したチタン膜）はそのまま金属状態で残っているが、このエッティングで除去できる。一方、珪化チタン3

0'9、310はエッチングされないので、残存させることができる。(図3(D))

【0056】その後、ゲイト電極部およびゲイト絶縁膜304をマスクとしてイオンドーピング法によって不純物注入をおこない、低抵抗不純物領域(=珪化チタン領域)311、314、高抵抗不純物領域312、313を形成した。ドーズ量は $1 \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、加速電圧は30~90kVとした。不純物としては燐を用いた。(図3(E))

【0057】そして、再びKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物の活性化をおこなった。この工程は、可視光線もしくは近赤外光の照射によるランプアニールによるものでもよい。最後に、ゲイト電極部(305、307)をマスクとしてゲイト絶縁膜304をエッチングした。これはゲイト絶縁膜304にドーピングされた不純物による不安定性を避けるためにおこなった。その結果、ゲイト電極部の下部にのみゲイト絶縁膜304'が残存した。

【0058】そして、図3(F)に示すように、全面に層間絶縁物315として、CVD法によって酸化珪素膜を厚さ600nm形成し、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極316、317を形成した。以上の工程によって、TFTが完成された。

【0059】

【発明の効果】本発明によって、実質的に1回のドーピングおよび1回のレーザーアニール、RTA等の活性化工程によって、高抵抗不純物領域(HRD)を形成することができた。この工程の短縮化は量産性を高め、TFT製造ラインへの投資額を減額するうえで有効である。また、本発明ではHRDの幅が極めて精度良く形成されるので、歩留り、均一性の優れたTFTが得られる。

【0060】なお、本発明においてはより特性を向上させるためには、より多くのドーピングやレーザーアニール、RTAをおこなってもよく、必ずしもドーピングの回数やレーザーアニール、RTAの回数を1回に限定するものではない。本発明のTFTは、半導体集積回路が形成された基板上に3次元集積回路を形成する場合でも、ガラスまたは有機樹脂等の上に形成される場合でも同様に形成されることはいうまでもないが、いずれの場合にも絶縁表面上に形成されることを特徴とする。特に周回路を同一基板上に有するモノリシック型アクティブマトリクス回路等の電気光学装置に対する本発明の効果は著しい。

【0061】また、本発明において、PまたはN型の不純物のイオン注入またはイオンドープに加えて、炭素、酸素、窒素を同時に添加してもよい。かくすると、逆方向リーケ電流が低減し、また、耐圧も向上する。例えばアクティブマトリクス回路の画素TFTとして用いる場合に有効である。この場合には、図5のTFT3の陽極酸化物層の厚さをTFT1、TFT2と同じ厚さとできる。

【図面の簡単な説明】

【図1】 実施例1によるTFTの作製方法を示す。

【図2】 実施例2によるTFTの作製方法を示す。

【図3】 実施例3によるTFTの作製方法を示す。

【図4】 本発明におけるオフセット、オーバーラップの関係について示す。

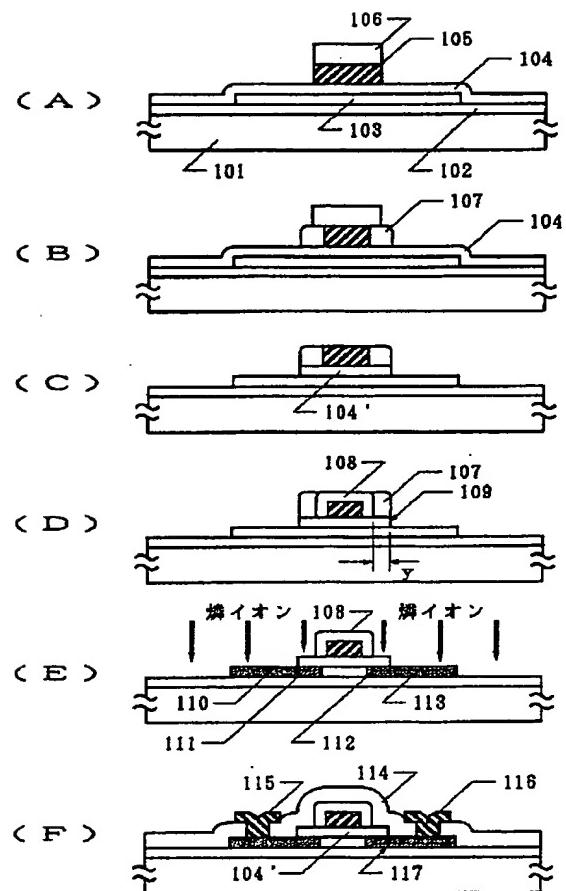
【図5】 実施例1および2によって得られたTFTの集積回路の例を示す。

【図6】 従来法によるTFTの作製方法を示す。

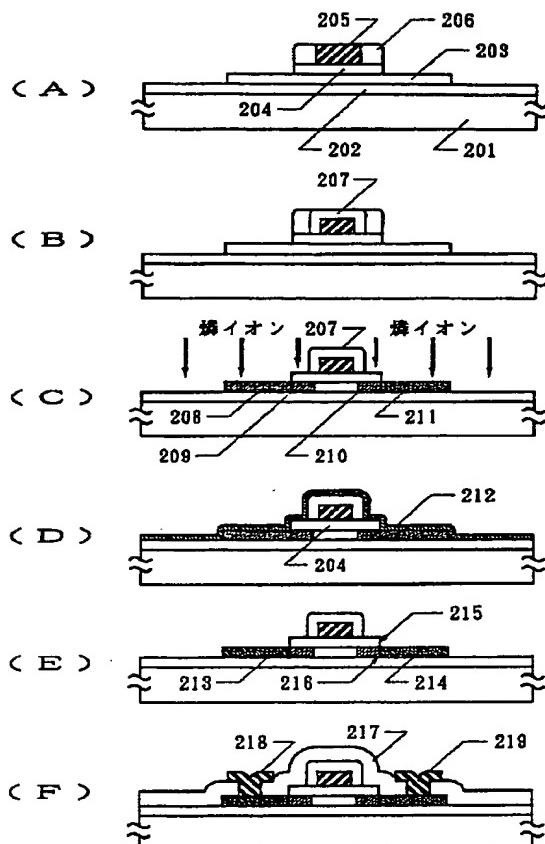
【符号の説明】

101	絶縁基板
102	下地酸化膜(酸化珪素)
103	活性層(結晶珪素)
104	絶縁膜(酸化珪素)
104'	ゲイト絶縁膜
105	ゲイト電極(アルミニウム)
106	マスク膜(フォトレジスト)
107	陽極酸化物(多孔質酸化アルミニウム)
108	陽極酸化物(バリヤ型酸化アルミニウム)
109	ゲイト絶縁膜の端部
110、113	低抵抗不純物領域
111、112	高抵抗不純物領域(HRD)
114	層間絶縁膜(酸化珪素)
115、116	金属配線・電極(アルミニウム)
117	低抵抗不純物領域と高抵抗不純物領域の境界

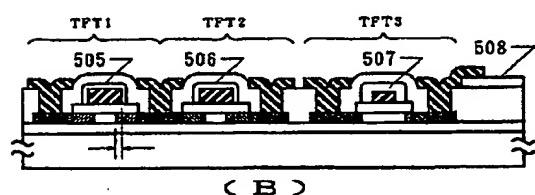
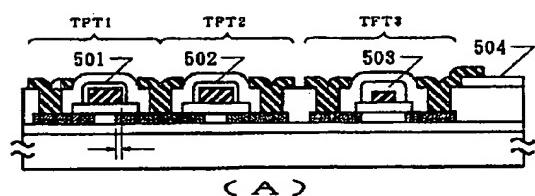
【図1】



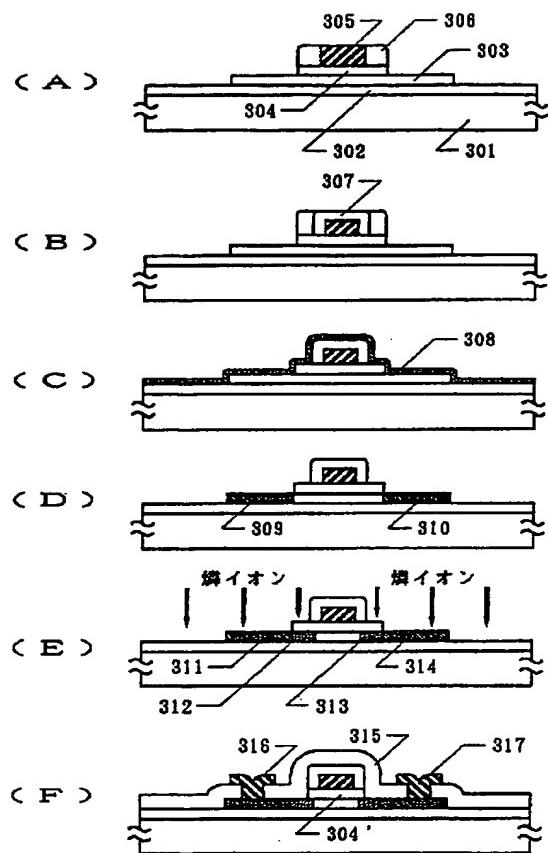
【図2】



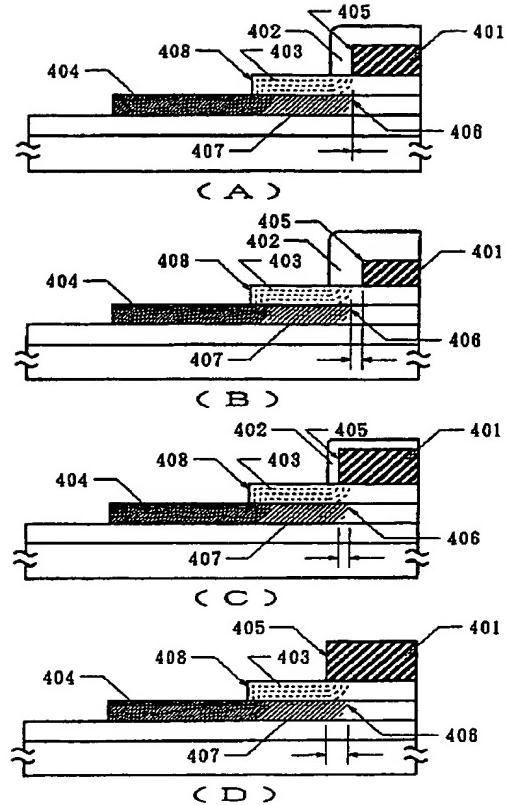
【図5】



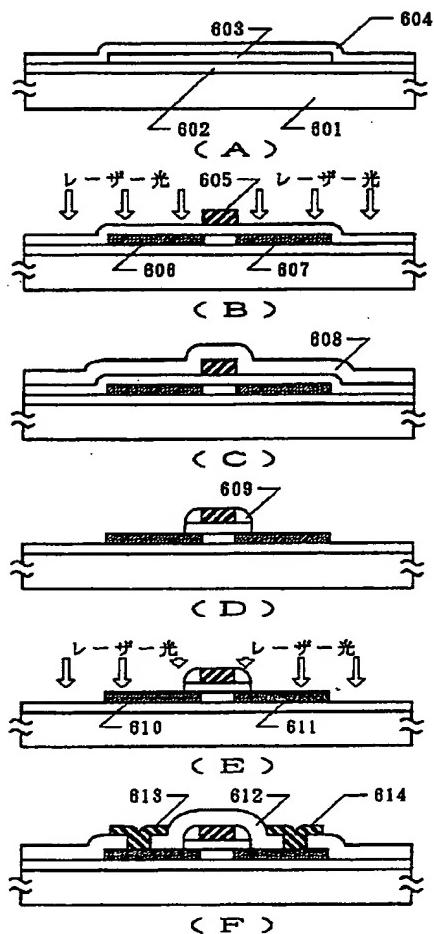
【図3】



【図4】



【図6】



フロントページの続き

(72)発明者 大沼 英人

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 山口 直明

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 須沢 秀臣

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内